



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000243034 A**(43) Date of publication of application: **08.09.00**

(51) Int. Cl.

G11B 20/10
G11B 5/09
(21) Application number: **11042479**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **22.02.99**(72) Inventor: **TOMIMOTO ARATA**
(54) EQUALIZATION/PHASE CONTROL SYSTEM AND
DISK STORAGE DEVICE PROVIDED WITH IT

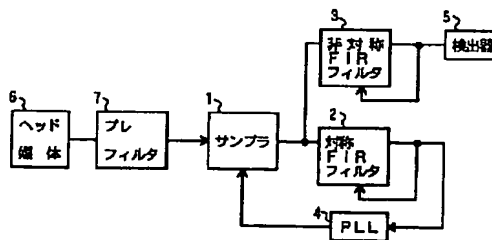
realized.

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a means by which stable equalization can be performed in an asymmetric signal by connecting a symmetric FIR filter in which left and right values of a tap coefficient are symmetric and an asymmetric FIR filter in which left and right values of a tap coefficient are not symmetric in parallel to sampler output, adjusting a phase by an output of the symmetric FIR filter, and equalizing a waveform by an output of the asymmetric FIR filter.

SOLUTION: A symmetric FIR filter 2 and an asymmetric FIR filter 3 are connected in parallel to an output of a sampler 1, phase adjustment is performed by a PLL circuit 4 using an output of the symmetric FIR filter 2, and an output of the asymmetric FIR filter 3 is used for input of a detector 5. As the asymmetric FIR filter 3 and the PLL circuit 4 do not interfere each other, stable equalization can be performed for an asymmetric signal. It can be incorporated in a disk storage device represented by a magnetic disk device, and a device which can perform stable reading of a signal can be



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243034

(P2000-243034A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	テーム(参考)
G 1 1 B 20/10	3 2 1	G 1 1 B 20/10	3 2 1 A 5 D 0 3 1
5/09	3 2 1	5/09	3 2 1 A 5 D 0 4 4

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-42479

(22) 出願日 平成11年2月22日 (1999.2.22)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 富本 新

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100087848

弁理士 小笠原 吉義 (外2名)

Fターム(参考) 5D031 AA04 DD01 DD04

5D044 CC04 FG01 GL31 GM12 GM15

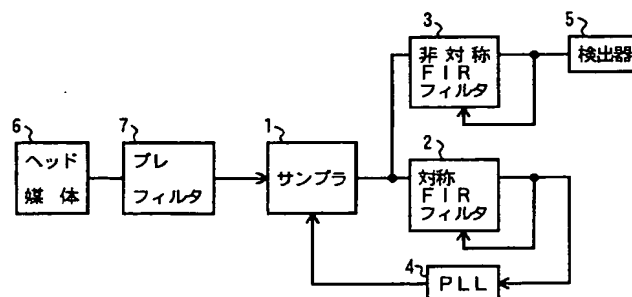
(54) 【発明の名称】 等化・位相制御システム、およびそれを備えるディスク記憶装置

(57) 【要約】

【課題】 サンプラにより離散化された信号を目的の波形に等化するシステムにおいて、FIRフィルタのタップ係数のトレーニングの際に、非対称な入力信号の場合でもPLLの位相調整との干渉を防ぐ。

【解決手段】 対称FIRフィルタ2と非対称FIRフィルタ3とをサンプラ1の出力に並列に接続する。PLL回路4は、対称FIRフィルタ2の出力のみを用いて位相調整を行い、等化処理は、非対称FIRフィルタ3によって行う。

本発明のブロック構成例



【特許請求の範囲】

【請求項 1】 サンプラにより離散化された信号を目的の波形に等化する F I R フィルタによる等化处理回路と、位相誤差を検出しサンプラのサンプリングのタイミングを制御する P L L 回路とを有する波形処理回路からなる等化・位相制御システムにおいて、タップ係数の値が左右対称となる対称 F I R フィルタと、タップ係数の値が左右対称とならない非対称 F I R フィルタとをサンプラ出力に並列に接続し、前記 P L L 回路は、前記対称 F I R フィルタの出力を用いて位相調整し、前記等化处理回路は、前記非対称 F I R フィルタの出力を用いてタ
10 ップ係数をトレーニングし目的の波形に等化するようにしたことを特徴とする等化・位相制御システム。

【請求項 2】 請求項 1 に記載する等化・位相制御システムにおいて、前記非対称 F I R フィルタが、前記対称 F I R フィルタに非対称となる入力信号要素の差分回路を加えたものによって構成されることを特徴とする等化・位相制御システム。

【請求項 3】 請求項 1 または請求項 2 に記載の等化・位相制御システムにおいて、前記非対称 F I R フィルタの出力が P R 4 等化または E P R 4 等化となることを特徴とする等化・位相制御システム。

【請求項 4】 ヘッド媒体から入力され、サンプラにより離散化された信号を目的の波形に等化する F I R フィルタによる等化处理回路と、位相誤差を検出しサンプラのサンプリングのタイミングを制御する P L L 回路とを有する波形処理回路からなる等化・位相制御システムを備えるディスク記憶装置であって、前記等化・位相制御システムが、タップ係数の値が左右対称となる対称 F I R フィルタと、タップ係数の値が左右対称とならない非
20 対称 F I R フィルタとをサンプラ出力に並列に接続し、前記 P L L 回路は、前記対称 F I R フィルタの出力を用いて位相調整し、前記等化处理回路は、前記非対称 F I R フィルタの出力を用いてタップ係数をトレーニングし目的の波形に等化するものによって構成されることを特徴とする等化・位相制御システムを備えるディスク記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気記録や通信に用いられる信号処理方式であって、特に非対称な信号に対して、P L L (phase-locked loop) と干渉しないようにすることにより、安定した等化处理を可能とした等化・位相制御システムに関する。

【0002】

【従来の技術】従来の技術における、P L L によるサンプル位置の調整について説明する。図 9 は従来の技術の等化・位相制御システムの構成例を示す図である。図 9 に示すように、磁気ヘッド等のヘッド媒体 9 6 から入力された信号は、プレフィルタ 9 7 を通してサンプラ 9 1 に入
50

力され、サンプラ 9 1 によりサンプリングされた再生信号 m_k が F I R フィルタ 9 2 に入力される。F I R フィルタ 9 2 により目的の波形に等化された信号 y_k は、検出器 9 5 に出力される。また、この信号 y_k は、P L L 回路 9 4 に入力され、サンプリング誤差が求められて、サンプラ 9 1 によるサンプリング位置の再調整が行われる。

【0003】次に、F I R フィルタによる等化の例を説明する。図 10 は、従来技術の F I R フィルタの構成例を示す図である。F I R フィルタ 9 2 には、サンプラ 9 1 によりサンプリングされた再生信号 m_k が入力される。図 10 に示すように、遅延回路を通った信号と、それぞれの時刻でのタップ係数 $C_1 \sim C_3$ を掛け合わせたものの和が、F I R フィルタ出力としての信号 y_k となる。図 10 で、9 2 1、9 2 2 は、1 ビット周期の遅延回路 (D) を表す。この出力信号 y_k は、F I R フィルタ 9 2 に入力され、等化誤差が求められ、タップ係数 $C_1 \sim C_3$ の再調整が行なわれる。

【0004】

【発明が解決しようとする課題】ヘッドからの再生信号を F I R フィルタによって等化し、その出力信号を用いて F I R フィルタのタップ係数の再調整を行う。また、P L L 回路も同じく F I R フィルタの出力信号を用いて位相調整を行う。ここで F I R フィルタ入力信号が歪んでいる場合には、F I R フィルタはタップ係数を調整して歪みをとろうとするため、タップ係数 $C_1 \sim C_3$ が非対称に調整される。このため、F I R フィルタによって位相調整も行われることになり、P L L 回路による位相調整と干渉し合い、タップ係数が定まらず、等化できない場合が生じる。

【0005】本発明は上記問題点の解決を図り、F I R フィルタ入力信号に歪みがあるような非対称な信号に対しても安定して等化を行うことができる手段を提供することを目的とする。

【0006】

【課題を解決するための手段】従来の方法では、F I R フィルタが非対称な入力信号に対しても適用しようとするために、P L L 回路と干渉が起こる。そこで、本発明では、F I R フィルタを対称なものにして P L L 回路との干渉を防ぎ、P L L 回路による位相調整を行う。ただし、そのままでは十分な等化が行われなため、P L L 回路とは独立した F I R フィルタをさらに用意し、そこで非対称に対応した F I R フィルタのタップ係数の調整を行うようにする。

【0007】図 1 は、本発明のブロック構成例を示す図である。対称 F I R フィルタ 2 と非対称 F I R フィルタ 3 とをサンプラ 1 の出力に並列に接続し、対称 F I R フィルタ 2 の出力を用いて P L L 回路 4 で位相調整を行い、非対称 F I R フィルタ 3 の出力を検出器 5 の入力に
50

【0008】これにより、非対称FIRフィルタ3とPLL回路4とが干渉しないこととなるため、非対称な信号に対しても安定した等化を行うことが可能となる。

【0009】なお、ヘッド媒体6は、磁気ヘッド等の信号読み取り媒体、プレフィルタ7は、ローパスフィルタ等のノイズ除去フィルタである。

【0010】図1に示す等化・位相制御システムは、磁気ディスク装置に代表されるようなディスク記憶装置に組み込むことができ、安定した信号の読み取りが可能な装置を実現することができる。

【0011】

【発明の実施の形態】〔第1の実施の形態〕図2は、第1の実施の形態における、対称FIRフィルタおよび非対称FIRフィルタの構成例を示す図である。

【0012】対称FIRフィルタ120において、入力信号は遅延回路(D)121、122により1ビット周期ずつ遅れたものが3サンプル保持される。乗算器123、124により、サンプル x_i に1が掛けられ、 x_{i+1} 、 x_{i-1} にタップ係数Cが掛けられ、加算器125で、その和が出力信号 y_{ai} となる。タップ係数制御部126により、出力信号 y_{ai} をもとに等化誤差が求められ、タップ係数Cが再計算される。また、出力信号 y_{ai} はPLL回路140に投入され、位相が再計算されサンブラ110に反映される。

【0013】非対称FIRフィルタ130において、入力信号は遅延回路(D)131、132により1ビット周期ずつ遅れたものが3サンプル保持される。乗算器133、134において、サンプル x_i に1が、 x_{i+1} にタップ係数 C_3 が、 x_{i-1} にタップ係数 C_1 がそれぞれ掛けられ、加算器135で、その和が計算され出力信号 y_{bi} となる。タップ係数制御部136により、出力信号 y_{bi} をもとに等化誤差が求められ、タップ係数 C_1 、 C_3 が再計算される。

【0014】〔第2の実施の形態〕図3は、第2の実施の形態における、対称FIRフィルタおよび非対称FIRフィルタの構成例を示す図である。第2の実施の形態は、第1の実施の形態に示す非対称FIRフィルタの回路構成を、差分回路の利用により簡略化したものである。

【0015】FIRフィルタの出力信号 y_i は、 $y_i = x_{i-1} C_1 + x_i C_2 + x_{i+1} C_3$ と表される。ここで、対称FIRフィルタ220の出力信号を y_{ai} とすると、

$$y_{ai} = x_{i-1} C + x_i + x_{i+1} C \\ = (x_{i-1} + x_{i+1}) C + x_i$$

と表すことができる。

【0016】非対称FIRフィルタ230の出力信号を y_{bi} 、係数を $C_1 = C + \alpha$ 、 $C_3 = C - \alpha$ とすると、 $y_{bi} = x_{i-1} (C + \alpha) + x_i + x_{i+1} (C - \alpha)$
 $= (x_{i-1} + x_{i+1}) C + (x_{i-1} - x_{i+1}) \alpha + x_i$

となる。よって、

$$y_{bi} = y_{ai} + (x_{i-1} - x_{i+1}) \alpha$$

となる。したがって、 $(x_{i-1} - x_{i+1}) \alpha$ を計算する差分回路を設け、対称FIRフィルタ220の出力信号に、図3に示すような差分回路の出力を付け加えることによって、簡単な回路構成で非対称FIRフィルタ230を構成することができる。係数制御部231は、本回路の出力信号 y_{bi} をもとに等化誤差を求めて係数 α を制御するが、この係数の制御については、通常のタップ係数の調整と同様であり、既知の技術を用いることができるため、ここでの詳細な説明は省略する。

【0017】〔第3の実施の形態〕図4は、第3の実施の形態における、対称FIRフィルタおよび非対称FIRフィルタの構成例を示す図である。第3の実施の形態は、FIRフィルタのタップ係数の個数が任意である場合の例である。タップ係数の個数が3より大きい場合にも、図4に示すように、対称FIRフィルタ320の出力 y_{ai} を、PLL回路340の位相調整に用い、非対称FIRフィルタ330によって等化処理を行なわせることによって、安定した等化システムを実現することができる。

【0018】〔第4の実施の形態〕図5は、第4の実施の形態における、対称FIRフィルタおよび非対称FIRフィルタの構成例を示す図である。第4の実施の形態は、第3の実施の形態に示す非対称FIRフィルタ330の構成を、差分回路を利用することにより非対称FIRフィルタ430のように簡略化したものである。

【0019】タップ数を n とした場合に、

$$y_i = x_{i-(n-1)/2} C_1 + \dots + x_i C_{(n+1)/2} + \dots + x_{i+(n-1)/2} C_n \quad (n = \text{奇数})$$

$$y_i = x_{i-n/2} C_1 + \dots + x_i C_{n/2+1} + \dots + x_{i+n/2-1} C_n \quad (n = \text{偶数})$$

と表されると、対称FIRフィルタ420は、

$$y_{ai} = x_{i-(n-1)/2} C_{an-1} + \dots + x_{i-1} C_{a1} + x_i + x_{i+1} C_{a1} + \dots + x_{i+(n-1)/2} C_{an-1} \quad (n = \text{奇数})$$

$$y_{ai} = x_{i-n/2} C_{an/2} + \dots + x_{i-1} C_{a1} + x_i C_{a1} + \dots + x_{i+n/2-1} C_{an/2} \quad (n = \text{偶数})$$

と表される。

【0020】また、非対称FIRフィルタ430については、

$$C_{(n+1)/2-1} = C_{a1} + \alpha_1, \quad C_{(n+1)/2+1} = C_{a1} - \alpha_1,$$

$$C_{(n+1)/2-2} = C_{a2} + \alpha_2, \quad C_{(n+1)/2+2} = C_{a2} - \alpha_2, \quad \dots \quad (n = \text{奇数})$$

$$C_{n/2-1} = C_{a1} + \alpha_1, \quad C_{n/2} = C_{a1} - \alpha_1,$$

$$C_{n/2-2} = C_{a2} + \alpha_2, \quad C_{n/2+2} = C_{a2} - \alpha_2, \quad \dots \quad (n = \text{偶数})$$

とすると、

$$y_{bi} = y_{ai} + (x_{i-1} - x_{i+1}) \alpha_{a1} + (x_{i-2} - x_{i+2}) \alpha_{a2} + \dots$$

$$i+2) \alpha_{a2} + \dots + (x_{i-(n-1)/2} - x_{i+(n-1)/2}) \alpha_{a(n-1)/2} \quad (n=\text{奇数})$$

$$y_{bi} = y_{ai} + (x_{i-1} - x_i) \alpha_{a1} + (x_{i-2} - x_{i+1}) \alpha_{a2} + \dots + (x_{i-n/2} - x_{i+n/2-1}) \alpha_{an/2} \quad (n=\text{偶数})$$

となり、対称FIRフィルタ420の出力に差分回路を付け加えることにより、非対称FIRフィルタ430を構成することができる。

【0021】次に、PR4等化またはEPR4等化波形を実現する場合の構成例について説明する。図6は、FIRフィルタの出力信号がPR4等化となるようにタップ係数のトレーニングを行う場合における、PP4等化のための回路の構成例を示す。また、図7は、FIRフィルタの出力信号がEPR4等化となるようにタップ係数のトレーニングを行う場合における、EPR4等化のための回路の構成例を示す。

【0022】PR4等化とは、図8(A)の記録信号、図8(B)のPR4等化後の信号に示すように、記録・再生系が $(1-D)(1+D)$ 相当の特性を持つような等化をいう。EPR4等化とは、図8(C)の記録信号、図8(D)のEPR4等化後の信号に示すように、記録・再生系が $(1-D)(1+D)^2$ 相当の特性を持つような等化をいう。ここで、Dは1サンプル前のデータを意味し、 $(1-D)$ は、現サンプルと1サンプル前のデータの差であり、 $(1+D)$ は、現サンプルと1サンプル前のデータの和であり、 $(1+D)^2$ は、 $(1+D)$ したものをさらに $(1+D)$ するものである。

【0023】

【発明の効果】本発明によれば非対称な入力信号によるFIRフィルタとPLLの干渉を防ぎ、装置からのデータの読み出しを容易にすることができる。また、それによって記録密度を向上させることが可能となり、記録装置の高密度化に寄与する。

【図面の簡単な説明】

【図1】本発明のブロック構成例を示す図である。

【図2】第1の実施の形態における、対称FIRフィルタおよび非対称FIRフィルタの構成例を示す図である。

【図3】第2の実施の形態における、対称FIRフィルタおよび非対称FIRフィルタの構成例を示す図である。

【図4】第3の実施の形態における、対称FIRフィルタおよび非対称FIRフィルタの構成例を示す図である。

【図5】第4の実施の形態における、対称FIRフィルタおよび非対称FIRフィルタの構成例を示す図である。

【図6】PR4等化のための回路の構成例を示す図である。

【図7】EPR4等化のための回路の構成例を示す図である。

【図8】PR4等化信号波形およびEPR4等化信号波形の例を示す図である。

【図9】従来技術の等化・位相制御システムの構成例を示す図である。

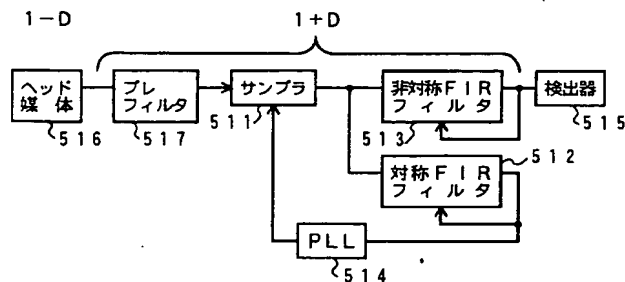
【図10】従来技術のFIRフィルタの構成例を示す図である。

【符号の説明】

- 1 サンプラ
- 2 対称FIRフィルタ
- 3 非対称FIRフィルタ
- 4 PLL回路
- 5 検出器
- 6 ヘッド媒体
- 7 プレフィルタ

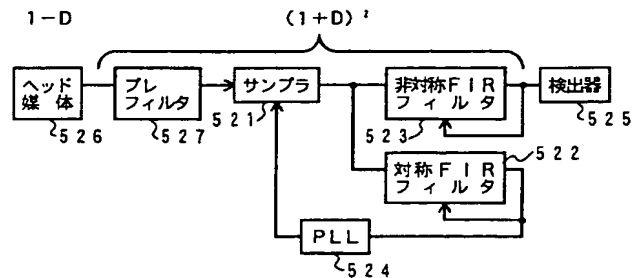
【図6】

PR4等化のための回路の構成例



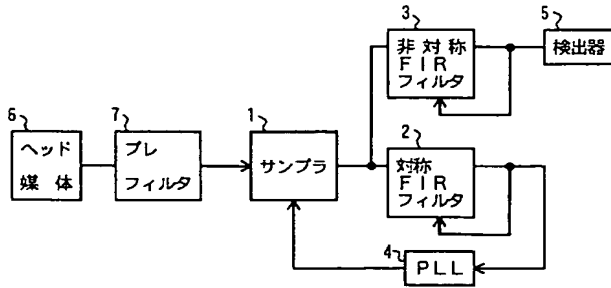
【図7】

EPR4等化のための回路の構成例

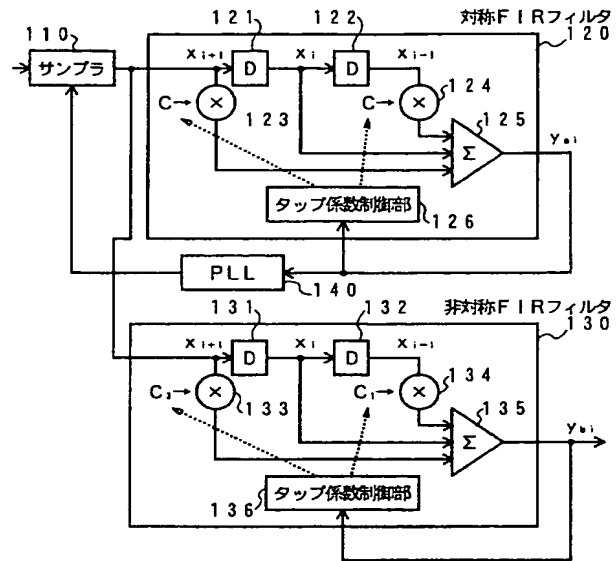


【図 1】

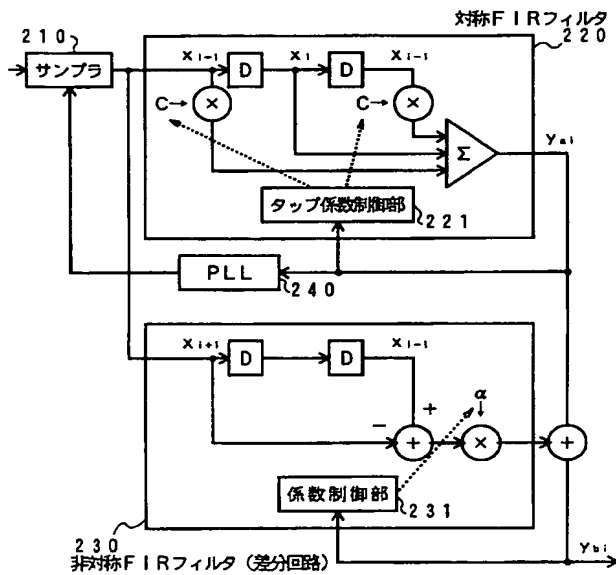
本発明のブロック構成例



【図 2】

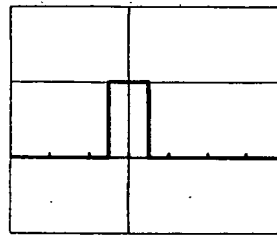


【図 3】

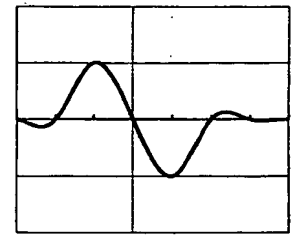


【図 8】

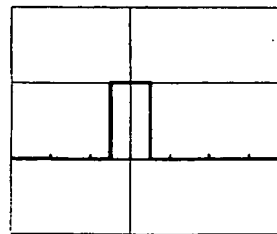
(A) 記録信号



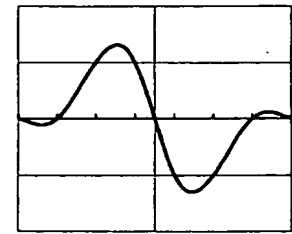
(B) PR4等化後の信号



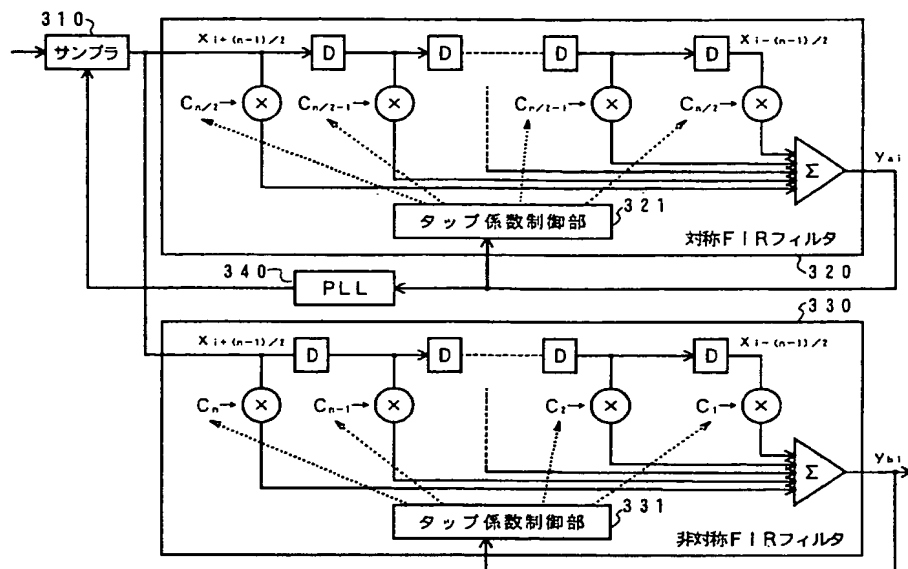
(C) 記録信号



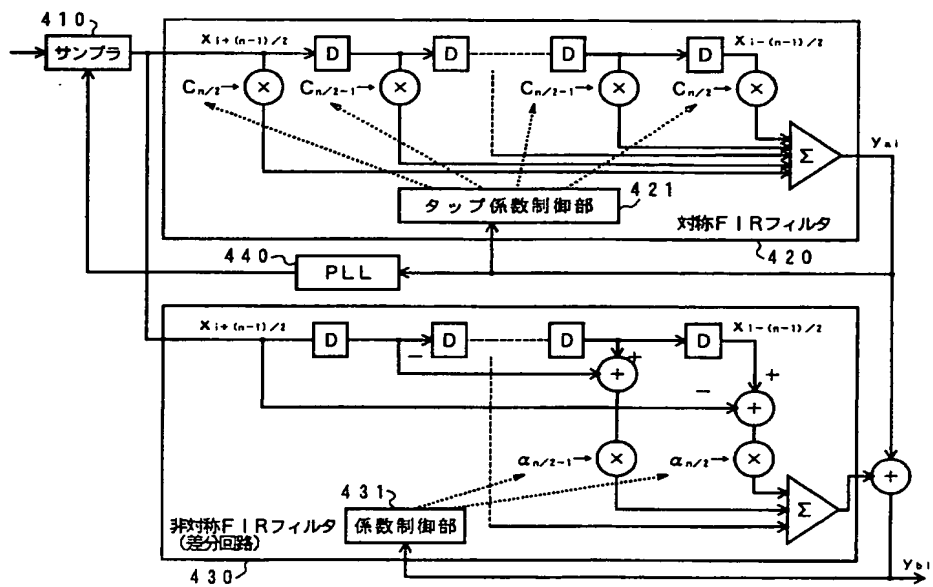
(D) EPR4等化後の信号



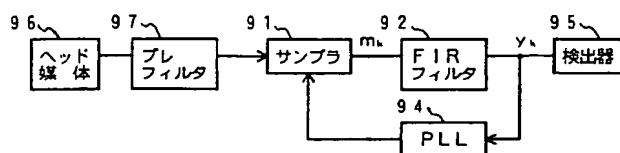
【図 4】



【図 5】



【図 9】



【図 10】

